

PAT-NO: JP02000183064A  
DOCUMENT-IDENTIFIER: JP 2000183064 A  
TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF  
PUBN-DATE: June 30, 2000

INVENTOR- INFORMATION:

NAME	COUNTRY
SEKIGUCHI, MITSURU	N/A

ASSIGNEE- INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRONICS INDUSTRY CORP	N/A

APPL-NO: JP10357532

APPL-DATE: December 16, 1998

INT-CL (IPC): H01L021/3205, C23C014/06 , C23C016/34 , H01L021/28 ,  
H01L021/768

ABSTRACT:

PROBLEM TO BE SOLVED: To improve a barrier film in crystallinity and a Cu film in (111) orientation by a method wherein a Ti film oriented in a (002) direction is provided as a part of a Cu buried wiring under a barrier film which is amorphous or contains fine crystals.

SOLUTION: A groove wiring composed of a barrier metal 2 and a first Cu film 3 is formed in a first insulating film 11, a first silicon nitride film 4, a second insulating film 5, a second silicon nitride film 6, and a third insulating film 7 are successively deposited thereon, and then a contact hole 8 and a wiring groove 9 are provided. A Ti film 14 oriented in a (002) direction is deposited on the contact hole 8 and the wiring groove 9 through an

ionization sputtering method, and a titanium nitride film 10 is deposited as a barrier film on the Ti film 14. Furthermore, a Cu seed layer 11 is deposited on the titanium nitride film 10, then a Cu plating film 12 is deposited, and a second Cu film 13 is formed.

COPYRIGHT: (C) 2000, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-183064  
(P2000-183064A)

(43)公開日 平成12年6月30日 (2000.6.30)

(51)Int.Cl.<sup>7</sup>

H 01 L 21/3205  
C 23 C 14/06

識別記号

F I

マークド(参考)

H 01 L 21/88  
C 23 C 14/06

R 4 K 0 2 9  
A 4 K 0 3 0  
N 4 M 1 0 4

16/34

16/34

H 01 L 21/28

3 0 1

H 01 L 21/28

3 0 1 R

審査請求 未請求 請求項の数14 O L (全13頁) 最終頁に続く

(21)出願番号

特願平10-357532

(71)出願人 000005843

松下電子工業株式会社

大阪府高槻市幸町1番1号

(22)出願日

平成10年12月16日 (1998.12.16)

(72)発明者 関口 满

大阪府高槻市幸町1番1号 松下電子工業  
株式会社内

(74)代理人 100097445

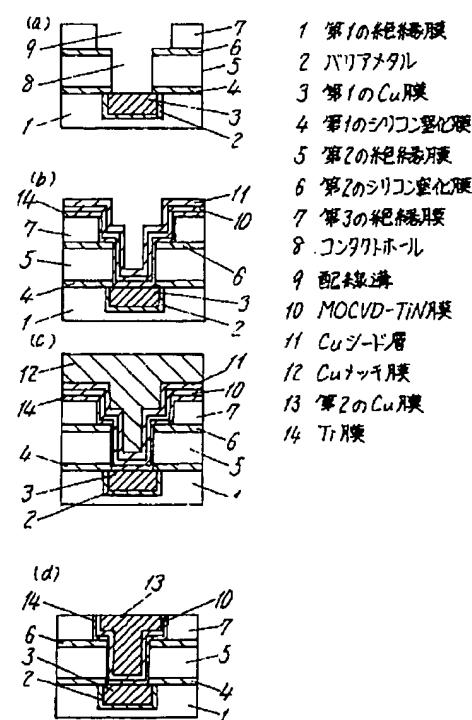
弁理士 岩橋 文雄 (外2名)

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 Cu配線のエレクトロマイグレーション特性を向上させる。

【解決手段】 (002)配向したTi膜14上にアモルファスのバリア膜10を堆積する。バリア膜がTi(002)に合わせて微結晶化し上層Cu膜11、12の(111)配向性を向上させる。これによりエレクトロマイグレーション特性が向上する。





最稠密面(111)が最も安定なためである。第2に(111)配向性が高いということは隣り合った結晶粒の方位のずれが小さく結晶欠陥が少ないため、エレクトロマイグレーションによるCu原子の結晶粒界拡散が抑制されるためである。

【0005】Cu配線においては、配線工程中の400°C程度の熱処理によりCuが絶縁膜中に拡散し、配線間リーカーが増加するのを防ぐ必要があるため、Cuの拡散を防ぐバリア膜を、Cu膜と絶縁膜の間に設ける必要がある。バリア膜としてはCuの拡散に対するバリア性が強いアモルファスまたは微結晶を含むチタンナイトライド、タンタルナイトライド、タングステンナイトライド膜が最も有望視されている。

【0006】以下図7を用いてチタンナイトライド膜を用いたCu配線技術について説明する。まず、図7(a)のように、半導体装置上の第1の絶縁膜1中にバリアメタル2、第1のCu膜3からなる溝配線が形成され、第1のシリコン窒化膜4、第2の絶縁膜5、第2のシリコン窒化膜6、第3の絶縁膜7で覆われている半導体装置において、コンタクトホール8、配線溝9が形成される。ここで、バリアメタル2とシリコン窒化膜4は配線工程中の400°C程度の熱処理により第1のCuが絶縁膜中に拡散するのを防ぐ役割(バリア性)を果たしている。バリアメタル2は例えばチタンナイトライド膜でもよい。

【0007】次に図7(b)のように、MOCVD法により、バリア膜としてMOCVD-TiN(チタンナイトライド)膜10を堆積する。次にスパッタ法でCu膜を堆積し、導電層となるCuシード層11膜を堆積後、図7(c)のように電解メッキ法によりCu膜を堆積しCuメッキ膜12を形成し、コンタクトホール8、配線溝9を埋め込む。その後の温度上昇を伴う工程でCuの結晶成長が起こり、Cuメッキ膜12とCuシード層11は一つの膜となり、第2のCu膜13が形成される。次に図7(d)のように、CMP法等により、配線溝外部のMOCVD-TiN膜10、第2のCu膜13を除去し配線を形成する。後はシリコン窒化膜、絶縁膜を堆積し、図7(a)以降の工程が繰り返され多層配線が形成される。

【0008】ここで、MOCVD-TiN膜については、第2のCu膜からなる上層配線の信頼性を向上させることも期待されている。

[0009]

【発明が解決しようとする課題】しかしながら、MOCVD-TiN膜は400°C程度の熱処理でのバリア性は十分だが、MOCVD-TiN膜上のCu膜は(111)配向性が低いことが知られている。そのため、Cu配線のエレクトロマイグレーション耐性が低く、これを向上させるため、バリア膜としてタンタル膜やタンタルナイトライド膜を用いることが提案されている。これらの膜はCVD法による量産技術が確立していないため、主にスパッタ法によって形成されており、それぞれTetragonalまたはアモルファスな結晶構造

を有していることが知られている。特にタンタル膜上の場合は(002)に配向し、Cuの(111)配向性を向上させることが知られている。

【0010】また、タンタルナイトライド膜においても窒素組成比33%以下ではアモルファスなタンタルナイトライドが形成され、その上ではCu膜の濡れ性がよいためCuの(111)配向性が高いことが知られている。我々の実験結果を図12に示す。

【0011】シリコン窒化膜上に堆積したCu//MOCVD-TiN  
 10 N、Cu//Ta、Cu//TaN構造でX線回折によるCu(111)と(200)ピークの強度比はそれぞれ、2.4、49、44であり、タンタルまたはタンタルナイトライド上でCuの(111)配向性が向上していることがわかる。このようにMOCVD-TiNバリアメタルを用いたCu配線は(111)配向性が低く配線のエレクトロマイグレーション耐性が低いことが問題である。

【0012】しかしMOCVD-TiN膜はCVD法で成膜しているためカバレッジがよく側壁にもほぼ100%の膜厚が成膜できるという利点がある。これに対してTa, TaN膜はスパッタ成膜しているためカバレッジが悪く、コンタクト底部に比べ側壁の膜厚が薄くなり、バリア性が劣化し側壁の絶縁膜中に「ひび」が拡散しやすくなるという問題点がある。

【0013】本発明は、バリア性に優れるMOCVD-TiN等のアモルファスなバリアメタル上のCu膜の(111)配向性を向上させることで、これまでよりもエレクトロマイグレーション耐性が向上した銅配線とその製造方法を提供するものである。

[0014]

【課題を解決するための手段】本願発明者は、Cuの下に(002)配向したTi膜があるとタンタル膜上のCuよりも(111)配向性が高くなることを見出した。図12でシリコン窒化膜上にTiをスパッタ法で10nm堆積後、表面を空気にしてから後Cuを50nmスパッタ法で堆積したCu//Ti積層構造ではCuの(111)/(200)X線回折強度比は339であるのに対し、同様な方法で形成したCu//Ta構造は49しかないことがわかる。Ti膜自体はCu膜に対するバリア性は350°C程度と言われているため、Cu配線においては別のバリアメタル膜と組み合わせて必要がある。

【0015】実際、アモルファスなMOCVD-TiN膜上にCuを堆積した、Cu//MOCVD-TiN構造ではCuの(111)/(200)X線回折強度比は2.4であるが、下地に(002)配向したTiを有するCu//MOCVD-TiN/Ti構造では257とCu//Ta構造の49よりもCuの(111)配向性が高いことがわかる。

【0016】この理由は以下のように考えられる。まずTi上でCu(111)の配向性が高いのは、図9に示すように(002)配向したTi膜は面内原子間隔が $2.95\text{ \AA}$ とCu(111)面内の面内原子間隔 $2.55\text{ \AA}$ とそれぞれ、7倍( $2.95 \times 7 = 20.65$ )、8倍( $2.55 \times 8 = 20.40$ )で格子整合するためではないかと考えられる。そして(002)配向されたTiが下にあるとその影響でMOCVD-TiN膜も面内原子間隔が $3.00\text{ \AA}$ のT

iN(111)面を形成するような微結晶化が進行すると考えられる。すると(111)配向したTiN膜は面内原子間隔が3.00ÅとCu(111)面内の面内原子間隔2.55Åとそれぞれ、6倍( $3.00 \times 5 = 18.00$ )、7倍( $2.55 \times 7 = 17.85$ )で格子整合し、上層Cu膜の(111)配向性が向上するためではないかと考えられる。

【0017】実際、図8、図14に示すX線回折の測定結果を見ても、図8(b)のTiのみの下地では(002)面の格子定数2.34Åに近い2.3865Åのところにプロードなピークがあるが、図8(c)のMOCVD-TiN/Ti下地ではピーク位置がTiN(111)面の格子定数2.45Åに近い2.4571ÅにシフトしていることからもMOCVD-TiN中の微結晶化が進んでいることは明らかであると考えられる。ただしピークの高さはどちらも600カウント程度と低いこととピークがプロードであることから、MOCVD-TiNの結晶性は依然としてアモルファス性が強いと考えられる。この結果はTEMによっても確認された。図10にCu//MOCVD-TiN/Ti構造においてTi膜厚を増やすとCu(111)の配向性が向上するという実験結果を示す。Tiの厚さは5nm程度で十分であることがわかる。

【0018】以上の理由より、本発明の請求項1、7に記載の第1の半導体装置とその製造方法は、Cu埋め込み配線の一部として、アモルファスまたは微結晶を含む状態のバリア膜の下に(002)配向したTi膜を設けることで、バリア膜の結晶性を高め、上のCu膜の(111)配向性を高めることができる。

【0019】図12よりMOCVD-TiN/Ti構造上よりTi上のほうがCu(111)配向性はよいことがわかる。

【0020】そのため、本発明の請求項2、9に記載の第2の半導体装置は、Cu埋め込み配線の一部として、アモルファスまたは微結晶を含む状態のバリア膜とCu膜の間に前記バリア膜上の(002)配向したTi膜を設けることで、バリア膜の結晶性を変化させずに、Cuの(111)配向性を高めることができる。バリア膜はアモルファスなどバリア性が高いと言われているのでこの構造ではバリア性を損なわずにCuの(111)配向性を高めることができるという利点がある。

【0021】更に、本願発明者は、(002)配向したTi膜の堆積前に絶縁膜上をArプラズマにさらすことによりCu(111)配向性をさらに高めることができることを見出した。図11に示すように酸化膜エッティング量換算5nm程度のArプラズマ処理を行うことでCuの(111)/(200)X線回折強度比は257から405まで向上する。この理由としてArプラズマ処理はシリコン酸化膜やシリコン窒化膜の表面をシリコンリッチにするとと言われており、その結果Ti膜の(002)結晶性が向上したのではないかと考えられる。

【0022】以上の理由より本発明の請求項8に記載の第3の半導体装置の製造方法は、(002)配向したTi膜を形成する工程の前に層間絶縁膜表面をArプラズマにさらすことにより、Tiの(002)配向性を高めることにより、

その上層のCu膜の(111)配向性を高めることができる。

【0023】また、本発明の請求項3、10に記載の第4の半導体装置とその製造方法は、埋め込み配線内の(002)配向したTi膜は配線溝底面で厚く、配線側面では薄くかつ必ずしも(002)配向していないようにすることにより、溝配線側面に垂直に<111>軸が向くようなCu膜の成長を抑制し、配線底部に垂直に<111>軸が向くような成長をさせることにより、溝配線におけるCu(111)配向性を向上させることができる。

10 【0024】請求項6、14に記載の半導体装置とその製造方法は、本発明で有効であるCu配線用アモルファスまたは微結晶を含む状態のバリア膜として、MOCVD法によって堆積されたチタンナイトライド膜またはスパッタまたはCVD法によって堆積されたタンタルナイトライド膜またはタンゲステンナイトライド膜が存在することを示している。

【0025】請求項4、11に記載の第5の半導体装置とその製造方法は、配線パターンをエッティングで形成する方法をとっている場合であり、Cu(111)配向性が向上する理由は請求項1、7に記載の第1の半導体装置とその製造方法で述べたのと同じである。

【0026】請求項5、13に記載の第6の半導体装置とその製造方法は、配線パターンをエッティングで形成する方法をとっている場合のみであり、Cu(111)配向性が向上する理由は請求項2、9に記載の第2の半導体装置とその製造方法で述べたのと同じである。

【0027】本発明の請求項12に記載の第7の半導体装置の製造方法は、配線パターンをエッティングで形成する方法をとっている場合のみであり、Cu(111)配向性が向上する理由は請求項8に記載の第3の半導体装置の製造方法で述べたのと同じである。

【0028】(002)配向したTi膜を形成する工程の前に層間絶縁膜表面をArプラズマにさらすことにより、Tiの(002)配向性を高めることにより、その上層のCu膜の(111)配向性を高めることができる。

【0029】以上のように本発明ではCu膜の(111)配向性を向上させることによりエレクトロマイグレーション耐性の高いCu配線を形成することができる。

【0030】

【発明の実施の形態】(第1の実施形態)図1(a)～(d)を用いて、本発明の第1の実施形態に係る半導体装置とその製造方法について説明する。

【0031】まず、図1(a)のように、半導体装置上の第1の絶縁膜1中にバリアメタル2、第1のCu膜3からなる溝配線が形成され、第1のシリコン窒化膜4、第2の絶縁膜5、第2のシリコン窒化膜6、第3の絶縁膜7で覆われている半導体装置において、約500nmの深さのコンタクトホール8、約300nmの深さの配線溝9が形成される。ここで、バリアメタル2とシリコン窒化膜4は配線工程中の400°C程度の熱処理により第1のCuが絶縁

膜中に拡散するのを防ぐ役割（バリア性）を果たしている。バリアメタル2は例えばチタンナイトライド膜でもよい。

【0032】次に図1(b)のように、イオン化スパッタ法等により(002)配向した、Ti膜14を10nm堆積する。次にMOCVD法により、バリア膜としてMOCVD-TiN（チタンナイトライド）膜10を10nm堆積する。TiNの表面を空気にさらした後、次にスパッタ法でCu膜を堆積し、導電層となるCuシード層11膜を100nm堆積後、図1(c)のように電解メッキ法によりCu膜を堆積しCuメッキ膜12を500nm堆積し、コンタクトホール8、配線溝9を埋め込む。その後の温度上昇を伴う工程でCuの結晶成長が起こり、Cuメッキ膜12とCuシード層11は一つの膜となり、第2のCu膜13が形成される。

【0033】次に図1(d)のように、CMP法等により、配線溝外部のTi膜14、MOCVD-TiN膜10、第2のCu膜13を除去し配線を形成する。後はシリコン塗化膜、絶縁膜を堆積し、図1(a)以降の工程が繰り返され多層配線が形成される。

【0034】本実施例では、(002)配向されたTiが下にあるため、MOCVD-TiN膜も面内原子間隔がTi(002)面に近いTiN(111)面を形成するような微結晶化が進行すると考えられる。すると(111)配向したTiN膜は面内原子間隔が3.00ÅとCu(111)面内の面内原子間隔2.55Åとそれぞれ、6倍( $3.00 \times 5 = 18.00$ )、7倍( $2.55 \times 7 = 17.85$ )で格子整合し、上層Cu膜の(111)配向性が向上すると考えられる。図13に配線部のCuの(111)配向性を測定した結果を示す。

【0035】Cu//MOCVD-TiN構造では4.5だったCu(111)/(200)X線ピーク強度比が、Cu//MOCVD-TiN/Ti構造では132に向上しており、Cuとバリアメタル堆積の間に空気暴露しているにも関わらず、エレクトロマイグレーション耐性の高いと言われている真空中連続堆積したCu/Ta構造の配線のCu(111)/(200)X線ピーク強度比136とほぼ同等の値を示すことができた。

【0036】従って本構造を用いれば、側壁カバレッジがよくバリア性の高いMOCVD-TiNを用いたCu配線のエレクトロマイグレーション特性をタンタルバリアを有するCu配線並みに向上させることができる。

【0037】(第2の実施形態)図2(a)～(d)は、本発明の第2の実施形態に係る半導体装置の製造方法の説明図である。

【0038】図2(a)のように、半導体装置上の第1の絶縁膜1中にバリアメタル2、第1のCu膜3からなる溝配線が形成され、第1のシリコン塗化膜4、第2の絶縁膜5、第2のシリコン塗化膜6、第3の絶縁膜7で覆われている半導体装置において、約500nmの深さのコンタクトホール8、約300nmの深さの配線溝9が形成される。そして0.4mTorr程度の圧力のArプラズマに半導体装置をさらす。処理時間はSiO<sub>2</sub>が35nmエッチングする相当

量行う。このときウエーハ側にバイアス電圧がかかっていてもよい。

【0039】次に図2(b)のように、イオン化スパッタ法等により(002)配向した、Ti膜14を10nm堆積する。次にMOCVD法により、バリア膜としてMOCVD-TiN（チタンナイトライド）膜10を10nm堆積する。TiNの表面を空気にさらした後、次にスパッタ法でCu膜を堆積し、導電層となるCuシード層11膜を100nm堆積後、図2(c)のように電解メッキ法によりCu膜を堆積しCuメッキ膜12を500nm堆積し、コンタクトホール6、配線溝7を埋め込む。その後の温度上昇を伴う工程でCuの結晶成長が起こり、Cuメッキ膜12とCuシード層11は一つの膜となり、第2のCu膜13が形成される。

【0040】次に図2(d)のように、CMP法等により、配線溝外部のTi膜14、MOCVD-TiN膜10、第2のCu膜13を除去し配線を形成する。後はシリコン塗化膜、絶縁膜を堆積し、図2(a)以降の工程が繰り返され多層配線が形成される。

【0041】本実施例では、Arスパッタ処理によりTiの(002)配向がさらに向上するため、MOCVD-TiN膜を通して、上層Cu膜の(111)配向性が向上すると考えられる。図13に配線部のCuの(111)配向性を測定した結果を示す。Cu//MOCVD-TiN/Ti構造では132だったCu(111)/(200)X線ピーク強度比が、Cu//MOCVD-TiN/Ti/Arスパッタ構造では110にやや低下してたが、Cu(111)ピークのロッキングカーブを測定したところ半値幅は3.84から1.89°に向上しておりCu(111)配向性はさらに向上していることがわかった。エレクトロマイグレーション耐性の高いと言われている真空中連続堆積したCu/Ta構造の配線でもCu(111)ピークのロッキングカーブは2.42°であった。従って本構造を用いれば、側壁カバレッジがよくバリア性の高いMOCVD-TiNを用いたCu配線のエレクトロマイグレーション特性をタンタルバリアを有するCu配線以上に向上させることができる。また、Ti膜14の有無に対してコンタクト抵抗を測定した。0.3mΩ角コンタクトでMOCVD-TiN構造では平均値1.30Ωに対しMOCVD-TiN/Ti構造では0.83ΩとTi膜14があるほうがコンタクト抵抗上も有利であることがわかった。

【0042】(第3の実施形態)図3(a)～(d)は、本発明の第3の実施形態に係る半導体装置の製造方法の説明図である。図3(a)の内容は図1(a)の工程と同じなので省略する。

【0043】次に図3(b)のように、イオン化スパッタ法等により(002)配向した、Ti膜14を10nm堆積する。次にMOCVD法により、バリア膜としてMOCVD-TiN（チタンナイトライド）膜10を10nm堆積する。さらに、イオン化スパッタ法等により(002)配向した、Ti膜15を10nm堆積する。TiNの表面を空気にさらした後、次にスパッタ法でCu膜を堆積し、導電層となるCuシード層11膜を50nm堆積後、図3(c)のように電解メッキ法によりCu膜

を堆積しCuメッキ膜12を500nm堆積し、コンタクトホール6、配線溝7を埋め込む。その後の温度上昇を伴う工程でCuの結晶成長が起こり、Cuメッキ膜12とCuシード層11は一つの膜となり、第2のCu膜13が形成される。

【0044】次に図3(d)のように、CMP法等により、配線溝外部のTi膜14、MOCVD-TiN膜10、Ti膜15、第2のCu膜13を除去し配線を形成する。後はシリコン窒化膜、絶縁膜を堆積し、図3(a)以降の工程が繰り返され多層配線が形成される。

【0045】本実施例では、Ti上に直接Cuを堆積しているため、Cu(111)配向性はさらに向上する。シード層までのCu(111)配向性をパターン無しの構造(図12)で比べてみると、Cu//MOCVD-TiN/Tiに対して、Cu//Ti/MOCVD-TiN/Ti構造はX線回折強度比で257から351に向上していることがわかる。これは、エレクトロマイグレーション耐性の高いと言われている真空中連続堆積したCu/Ta構造のCu(111)/(200)X線ピーク強度比366とほぼ同等の値である。従って本構造を用いれば、側壁カバレッジがよくバリア性の高いMOCVD-TiNを用いたCu配線のエレクトロマイグレーション特性をタンタルバリアを有するCu配線並みに向上させることができる。

【0046】また、本発明においては、Ti膜14は省略してもよい。その場合下地Ti膜がないので、MOCVD-TiN膜10の結晶性を変化させずに、Cuの(111)配向性を高めることができる。バリア膜はアモルファスなどバリア性が高いと言われているのでTi膜14を省略した構造ではバリア性を損なわずにCuの(111)配向性を高めることができるという利点がある。

【0047】(第4の実施形態) 本発明の第4の半導体装置とその製造方法は、図1～3に示した埋め込み配線形成工程において、埋め込み配線内の(002)配向したTi膜は配線溝底面で厚く、配線側面では薄くかつ必ずしも(002)配向していないようにすることにより、溝配線側面に垂直に<111>軸が向くようなCu膜の成長を抑制し、配線底部に垂直に<111>軸が向くような成長を促進させるものである。

【0048】これにより、溝配線におけるCu(111)配向性を向上させることができる。むしろ本実施形態では、側壁にTi膜が全く形成されていないほうがCu(111)配向性は向上する。

【0049】(第5の実施形態) 図4(a)～(d)を用いて、本発明の第5の実施形態に係る半導体装置とその製造方法について説明する。

【0050】まず、図4(a)のように、半導体装置上の第1の絶縁膜上にイオン化スパッタ法等により(002)配向した、Ti膜14を10nm堆積する。次にMOCVD法により、バリア膜としてMOCVD-TiN膜10を10nm堆積する。TiNの表面を空気にさらした後、次にスパッタ法でCu膜16を300nm堆積する。

【0051】次に図4(b)のように、レジスト17で配線パターンを形成し、図4(c)のようにドライエッチング法によりTi膜14、MOCVD-TiN膜10、Cu膜16をエッチングし配線を形成する。最後に図4(d)のように、シリコン窒化膜18、第2の絶縁膜5で配線のまわりを囲む。

【0052】本実施例でも、(002)配向されたTiが下にあるため、TiN膜中に(111)配向した微結晶が増加し、上層Cu膜の(111)配向性が向上すると考えられる。従って本構造を用いれば、側壁カバレッジがよくバリア性の高いMOCVD-TiNを用いたCu配線のエレクトロマイグレーション特性をタンタルバリアを有するCu配線並みに向上させることができる。

【0053】(第6の実施形態) 図5(a)～(d)を用いて、本発明の第6の実施形態に係る半導体装置とその製造方法について説明する。

【0054】まず、図5(a)のように、半導体装置上の第1の絶縁膜上にArプラズマ処理を加える。

【0055】次に図5(b)のようにイオン化スパッタ法等により(002)配向した、Ti膜14を10nm堆積する。次にMOCVD法により、バリア膜としてMOCVD-TiN膜10を10nm堆積する。TiNの表面を空気にさらした後、次にスパッタ法でCu膜16を300nm堆積する。さらにレジスト17で配線パターンを形成し、図5(c)のようにドライエッチング法によりTi膜14、MOCVD-TiN膜10、Cu膜16をエッチングし配線を形成する。最後に図5(d)のように、シリコン窒化膜18、第2の絶縁膜5で配線のまわりを囲む。

【0056】本実施例では、Arスパッタ処理によりTiの(002)配向がさらに向上するため、MOCVD-TiN膜を通して、上層Cu膜の(111)配向性が向上すると考えられる。従って本構造を用いれば、側壁カバレッジがよくバリア性の高いMOCVD-TiNを用いたCu配線のエレクトロマイグレーション特性を向上させることができる。

【0057】(第7の実施形態) 図6(a)～(d)を用いて、本発明の第7の実施形態に係る半導体装置とその製造方法について説明する。

【0058】まず、図6(a)のように、半導体装置上の第1の絶縁膜上にイオン化スパッタ法等により(002)配向した、Ti膜14を10nm堆積する。次にMOCVD法により、バリア膜としてMOCVD-TiN膜10を10nm堆積する。次に(002)配向した、Ti膜15を10nmスパッタする。Ti膜15の表面を空気にさらした後、次にスパッタ法でCu膜16を300nm堆積する。

【0059】次に図6(b)のように、レジスト17で配線パターンを形成し、図6(c)のようにドライエッチング法によりTi膜14、MOCVD-TiN膜10、Ti膜15、Cu膜16をエッチングし配線を形成する。最後に図6(d)のように、シリコン窒化膜18、第2の絶縁膜5で配線のまわりを囲む。

【0060】本実施例では、Ti上に直接Cuを堆積しているため、実施例3と同じ理由から、Cu(111)配向性はさらに向上する。従って本構造を用いれば、側壁カバーレジがよくバリア性の高いMOCVD-TiNを用いたCu配線のエレクトロマイグレーション特性をタンタルバリアを有するCu配線並みに向上させることができる。

【0061】また、本発明においては、Ti膜14は省略してもよい。その場合、下地Ti膜がないので、MOCVD-TiN膜10の結晶性を変化させずに、Cuの(111)配向性を高めることができる。バリア膜はアモルファスなほどバリア性が高いと言われているのでTi膜14を省略した構造ではバリア性を損なわずにCuの(111)配向性を高めることができるという利点がある。

【0062】以上の実施形態において、第1のCu膜3、第2のCu膜13、Cu膜16は純Cuを用いたが、他のCu合金を成膜してもよい。また、Cuシード層11とCuメッキ膜12の2つの膜を堆積して第2のCu膜13としたが、Cuシード層堆積やCuメッキ膜堆積を行わずに、CVD法や無電解メッキ法CVD+高温スパッタ法、スパッタ+リフロー法やイオンプレーティング法等で第2のCu膜13を一度に成膜してもよい。

【0063】また、第1、第2、第3の絶縁膜は、塗布膜やSiO<sub>2</sub>膜やCを含む誘電率の低いCVD膜を用いてもよい。また、配線構造としてコンタクトホールと配線溝を同時に埋め込む方法を用いたが、どちらか一方を本方法で埋め込んでもよい。また、バリアメタルとして、MOCVD-TiN膜を用いたが、アモルファスまたは微結晶を含む高融点金属とその化合物ならばタンゲスタンナイトライド膜等の他のバリアメタルを用いてもよい。例えばもともとMOCVD-TiN上よりもCuの(111)配向性が高いタンタルナイトライド膜をバリアメタルとして用いればさらにCu(111)配向性を改善することができる可能性がある。

#### 【0064】

【発明の効果】本発明の請求項1、7に記載の第1の半導体装置とその製造方法は、Cu埋め込み配線の一部として、アモルファスまたは微結晶を含む状態のバリア膜の下に(002)配向したTi膜を設けることで、バリア膜の結晶性を高め、上のCu膜の(111)配向性を高めることができる。

【0065】本発明の請求項2、9に記載の第2の半導体装置は、Cu埋め込み配線の一部として、アモルファスまたは微結晶を含む状態のバリア膜とCu膜の間に前記バリア膜上の(002)配向したTi膜を設けることで、バリア膜の結晶性を変化させずに、Cuの(111)配向性を高めることができる。バリア膜はアモルファスなほどバリア性が高いのでこの構造ではバリア性を損なわずにCuの(111)配向性を高めることができるという利点がある。

【0066】本発明の請求項8に記載の第3の半導体装置の製造方法は、(002)配向したTi膜を形成する工程の前に層間絶縁膜表面をArプラズマにさらすことにより、

Tiの(002)配向性を高めることで、その上層のCu膜の(111)配向性を高めることができる。

【0067】本発明の請求項3、10に記載の第4の半導体装置とその製造方法は、埋め込み配線内の(002)配向したTi膜は配線溝底面で厚く、配線側面では薄くかつ必ずしも(002)配向していないようにすることにより、溝配線側面に垂直に<111>軸が向くようなCu膜の成長を抑制し、配線底部に垂直に<111>軸が向くような成長をさせることにより、溝配線におけるCu(111)配向性を向上させることができる。

【0068】本発明の請求項4、11に記載の第5の半導体装置とその製造方法は、配線パターンをエッチングで形成する方法をとっている場合であり、Cu(111)配向性が向上する理由は請求項1、7に記載の第1の半導体装置とその製造方法で述べたのと同じである。

【0069】請求項5、13に記載の第6の半導体装置とその製造方法は、配線パターンをエッチングで形成する方法をとっている場合のみであり、Cu(111)配向性が向上する理由は請求項2、9に記載の第2の半導体装置とその製造方法で述べたのと同じである。

【0070】本発明の請求項12に記載の第7の半導体装置の製造方法は、配線パターンをエッチングで形成する方法をとっている場合のみであり、Cu(111)配向性が向上する理由は請求項8に記載の第3の半導体装置の製造方法で述べたのと同じである。

【0071】(002)配向したTi膜を形成する工程の前に層間絶縁膜表面をArプラズマにさらすことにより、Tiの(002)配向性を高めることにより、その上層のCu膜の(111)配向性を高めることができる。

【0072】以上のように本発明ではCu膜の(111)配向性を向上させることによりエレクトロマイグレーション耐性の高いCu配線を形成することができる。

#### 【図面の簡単な説明】

【図1】第1の実施形態における半導体装置の製造方法を示す断面図

【図2】第2の実施形態における半導体装置の製造方法を示す断面図

【図3】第3の実施形態における半導体装置の製造方法を示す断面図

【図4】第5の実施形態における半導体装置の製造方法を示す断面図

【図5】第6の実施形態における半導体装置の製造方法を示す断面図

【図6】第7の実施形態における半導体装置の製造方法を示す断面図

【図7】従来技術の半導体装置用銅配線の製造方法を示す断面図

【図8】シリコン窒化膜上Cu膜の配向性をしめすXRDスペクトルを示す図

【図9】各金属膜の配向面と面内原子間隔を示す図

【図10】Cu/MOCVD-TiN/Ti構造におけるCu(111)/(200)X線ピーク強度比のTi膜厚依存性を示す図

【図11】Cu/MOCVD-TiN/Ti構造におけるCu(111)/(200)X線ピーク強度比のArスパッタクリーニング量依存性を示す図

【図12】積層構造と銅配向性の関係を示す図

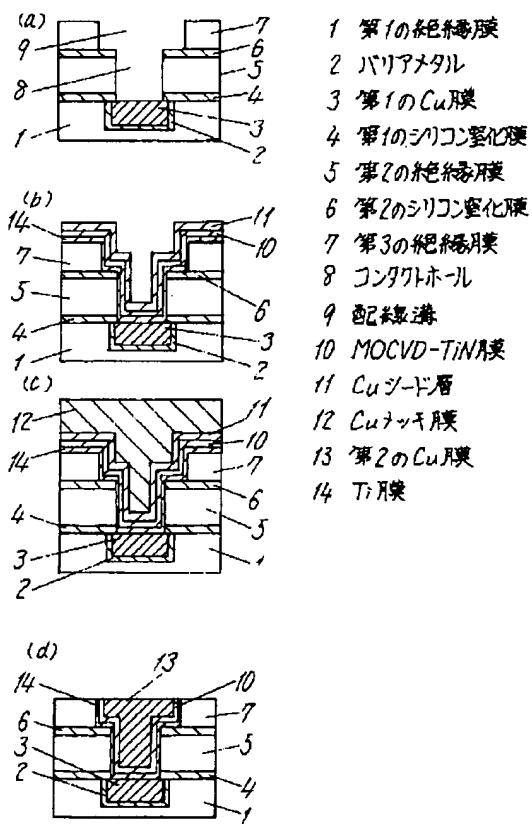
【図1.3】積層構造と鉄配向性の関係を示す図

【図14】シリコン窒化膜上Cu膜の配向性をしめすXRDスペクトルを示す図

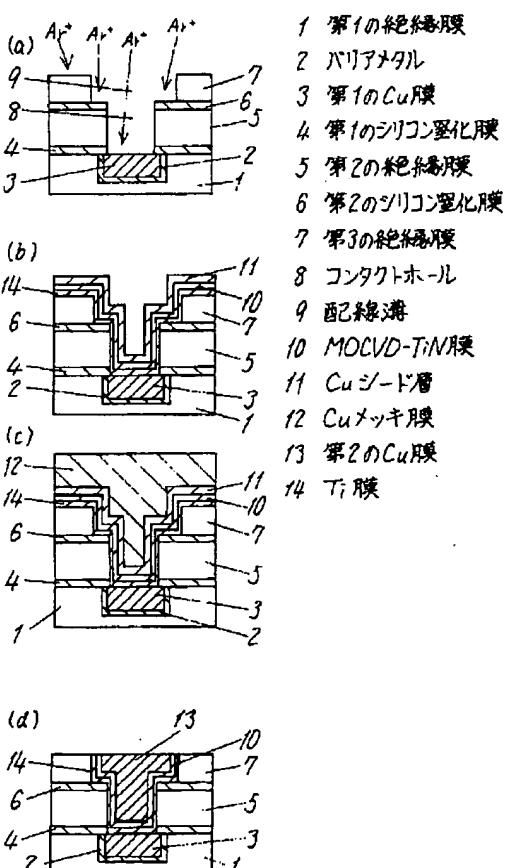
### 【符号の説明】

- 1 第1の絶縁膜
- 2 バリアメタル
- 3 第1のCu膜
- 4 第1のシリコン窒化膜

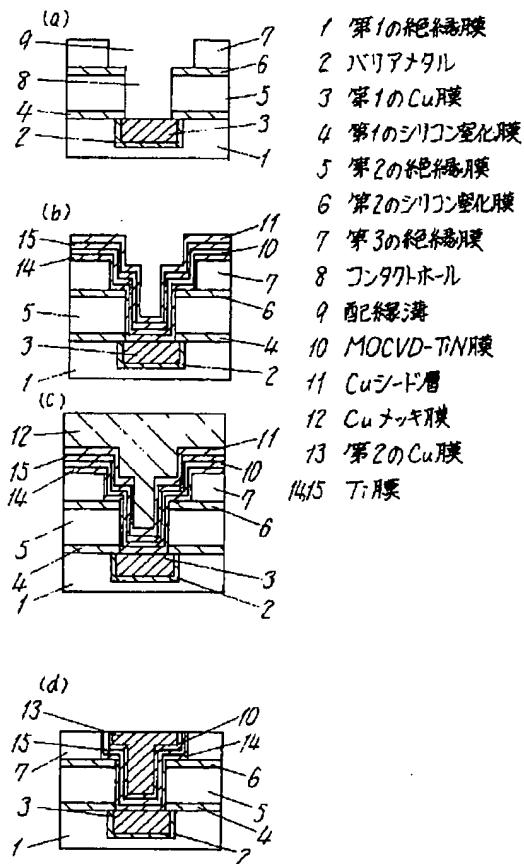
〔 1 〕



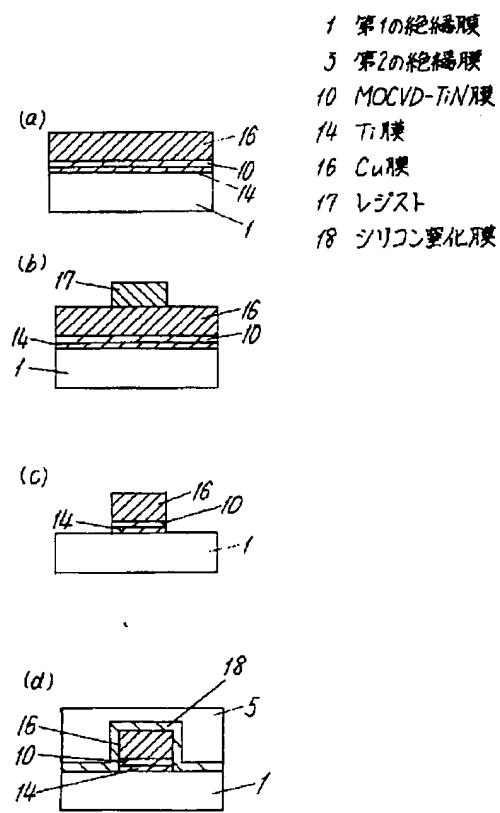
[図2]



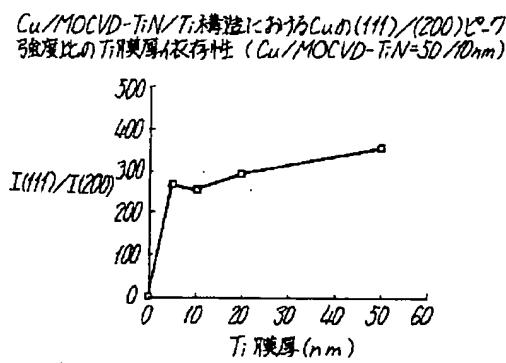
【図3】



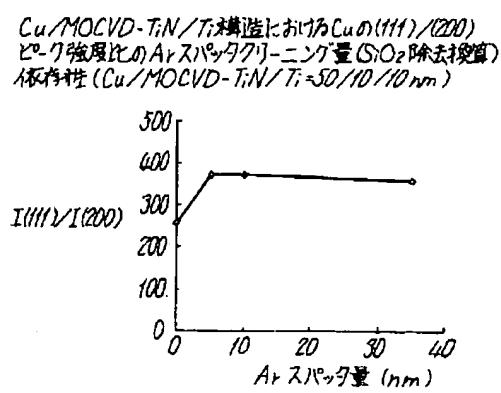
【図4】



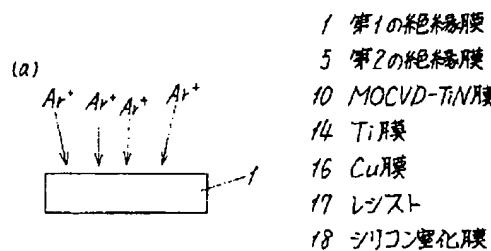
【図10】



【図11】

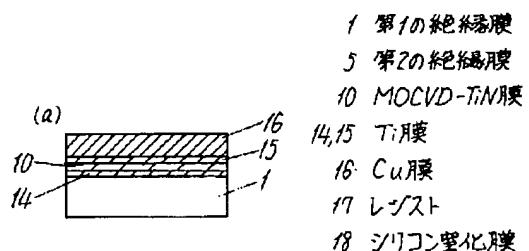


【図5】

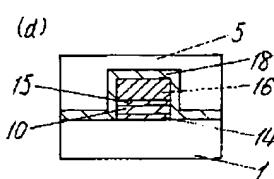
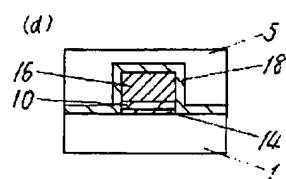
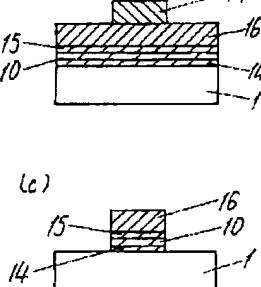
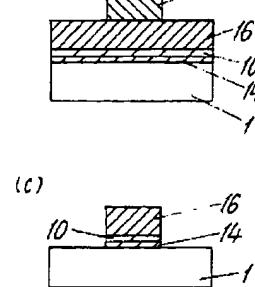


1 第1の絶縁膜  
5 第2の絶縁膜  
10 MOCVD-TiN膜  
14 Ti膜  
16 Cu膜  
17 レジスト  
18 シリコン塗化膜

【図6】



1 第1の絶縁膜  
5 第2の絶縁膜  
10 MOCVD-TiN膜  
14,15 Ti膜  
16 Cu膜  
17 レジスト  
18 シリコン塗化膜



【図12】

積層構造(下地シリコン塗化膜)とCu(111)配向性の関係

積層構造(下地シリコン塗化膜)	膜厚	Cu回折強度比 I(111)/I(200)
Cu//MOCVD-TiN	10//10nm	2.4
Cu//Ti	30//10nm	3.9
Cu//MOCVD-TiN/Ti	30//10//10nm	2.9
Cu//MOCVD-TiN/Ti	50//10//10//10nm	4.9
Cu//Ti/MOCVD-TiN/Ti	50//10//10nm	2.5
Cu//Ta	50//20nm	2.9
Cu//TiN	50//20nm	4.4
Cu//Ta	50//20nm	3.6

積層構造(配線構造)とCu(111)配向性の関係

積層構造 (下地シリコン塗化膜)	膜厚	Cu回折強度比 I(111)/I(200)	Cu(111)ロッキング カーブ半価幅(degree)
Cu//MOCVD-TiN	300//10nm	4.5	6.6
Cu//MOCVD-TiN/Ti	300//10//10nm	1.32	3.94
Cu//MOCVD-TiN/Ti-Ar-sp	300//10//10//10nm	1.10	1.89
Cu//Ta	300//25nm	1.36	2.42

// は空気にさらしたこと示す。

/ は真空中連続堆積であることを示す。

Ar-spの膜厚はArスピクタ処理により除去されるSiO<sub>2</sub>の膜厚で示した。

Cu 50nmの堆積はスパッタ法による。  
// は空気にさらしたこと示す。  
/ は真空中連続堆積であることを示す。  
Ar-spの膜厚はArスピクタ処理により除去されるSiO<sub>2</sub>の膜厚で示した。  
Cu 50nmの堆積はスパッタ法による。

【図13】

積層構造 (下地シリコン塗化膜)	膜厚	Cu回折強度比 I(111)/I(200)	Cu(111)ロッキング カーブ半価幅(degree)
Cu//MOCVD-TiN	300//10nm	4.5	6.6
Cu//MOCVD-TiN/Ti	300//10//10nm	1.32	3.94
Cu//MOCVD-TiN/Ti-Ar-sp	300//10//10//10nm	1.10	1.89
Cu//Ta	300//25nm	1.36	2.42

// は空気にさらしたこと示す。

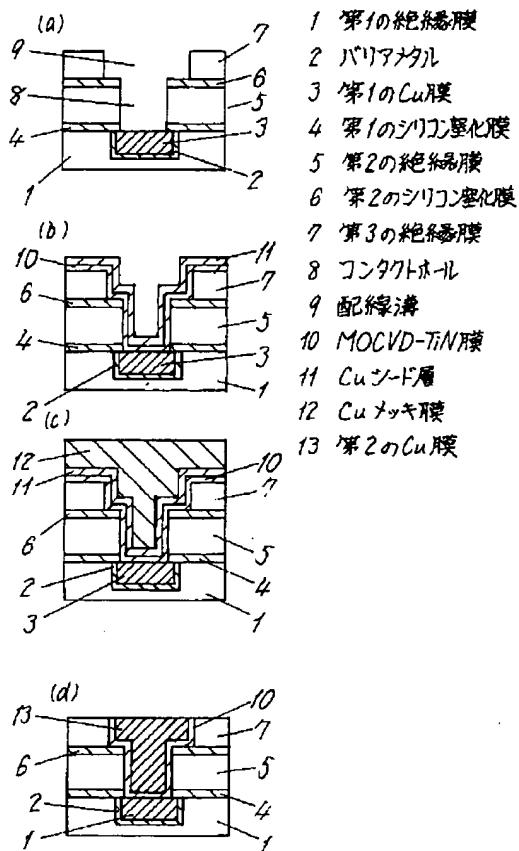
/ は真空中連続堆積であることを示す。

Ar-spの膜厚はArスピクタ処理により除去されるSiO<sub>2</sub>の膜厚で示した。

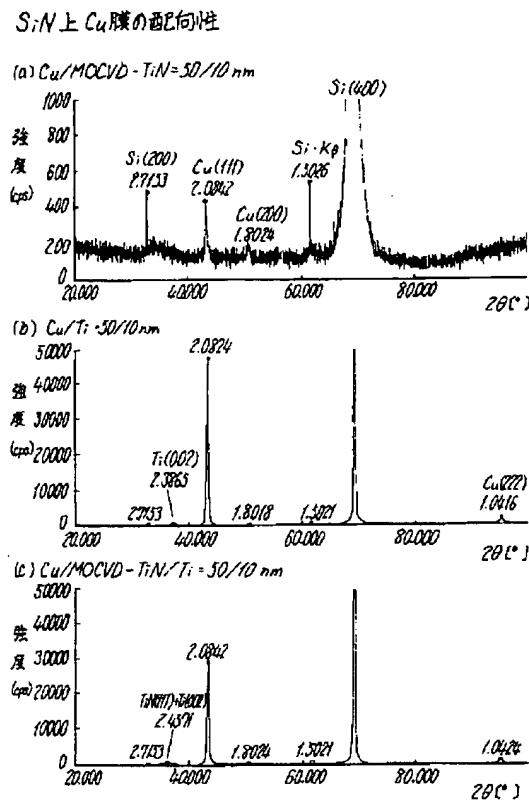
Cu埋め込みはスパッタでCuシード層 100nm 堆積後、

電解メッキ Cuで埋め込み

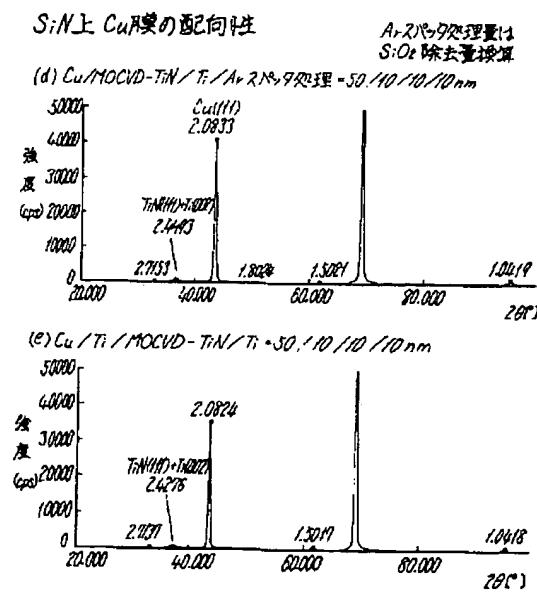
〔図7〕



〔四〕

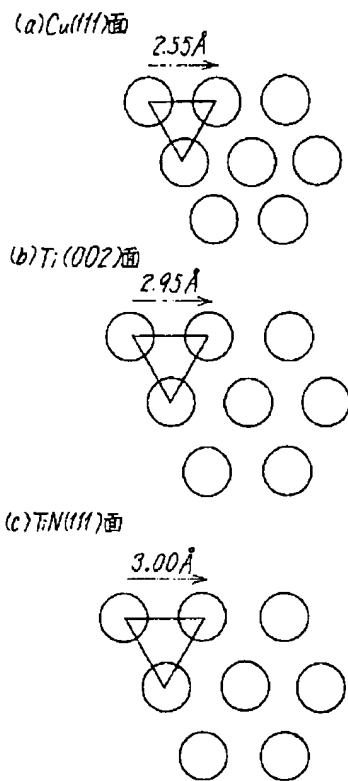


【図14】



【図9】

各金属膜の配向面と面内原子間隔



フロントページの続き

(51) Int. Cl. 7  
)

H 01 L 21/768

識別記号

F I

マーコト(参考

H 01 L 21/90

A

F ターム(参考) 4K029 BA08 BA17 BA58 BA60 BB02  
BD01 CA05 DC37  
4K030 AA11 BA17 BA18 BA20 BA38  
BB04 BB05 HA02 LA15  
4M104 BB04 BB14 BB30 BB32 BB33  
BB37 CC01 DD07 DD15 DD17  
DD36 DD37 DD43 DD47 DD52  
DD78 DD86 EE12 EE17 FF07  
FF18 FF22 GG13 HH01 HH15  
5F033 HH11 HH18 HH32 HH33 HH34  
JJ01 JJ11 JJ18 JJ32 JJ33  
JJ34 KK11 KK33 LL07 MM02  
MM08 MM12 MM13 NN06 NN07  
PP06 PP11 PP15 PP20 PP27  
PP33 QQ00 QQ09 QQ14 QQ37  
QQ48 QQ72 QQ84 RR06 SS11  
SS21 TT01 XX05 XX09